

実験トランジスタ・アンプ設計講座

黒田 徹

●実用技術編

第11章 AB級半導体パワー・アンプ (13)

CasComp アンプとは

今回は、差動増幅回路の非直線ひずみを激減させる CasComp アンプをご紹介します。

(1) 初段差動増幅回路のエミッタ抵抗の役割

11月号で触れたましたように、初段にバイポーラ・トランジスタの差動増幅回路を用いたパワー・アンプ(第1図)のひずみ率Dは次式で与えられます。

$$D = \frac{V_T}{6\beta} \left(\frac{2\pi f C}{I_{tail}} \right)^3 \times V_{op}^2 \times 100 [\%]$$

.....既出 (11-118)

(β : 帰還率, V_T : 熱電圧)
(C : 位相補償容量)
(I_{tail} : テール電流)
(V_{op} : 片ピーク出力電圧)

出力電圧のひずみ率は初段差動増幅回路のエミッタ抵抗の値と無関係です。なぜなら、エミッタ抵抗値を増やすと、局部電流帰還の作用で初段のひずみ率は下がりますが、ひず

み率の改善度と同じだけオーバールの負帰還量が減るからです。

初段エミッタ抵抗の目的は、ひずみの改善ではなく、ループ・ゲインを減らし、クローズド・ループ・カットオフ周波数を下げることにあります。つまり、出力段のカットオフ周波数が10 MHz前後の場合、クローズド・ループ・カットオフ周波数を1.5 MHz程度以下に抑える必要があります。

なお、通常はクローズド・ループ・ゲインが3 dB下がる周波数をクローズド・ループ・カットオフ周波数と呼びますが、ここではループ・ゲインが1倍になる周波数をクローズド・ループ・カットオフ周波数と見なします。

さて、第1図のアンプのループ・

ゲイン $LG(f)$ は近似的に [帰還率 β] と [初段の能動負荷差動増幅回路の伝達コンダクタンス g_m] と [2段目の位相補償容量 C のインピーダンス] の積で与えられます。

$$LG(f) = \beta \cdot g_m \left(\frac{1}{2\pi f C} \right)$$

..... (11-158)

したがって、クローズド・ループ・カットオフ周波数 f_c は近似的に、

$$f_c = \frac{\beta \cdot g_m}{2\pi C}$$

..... (11-159)

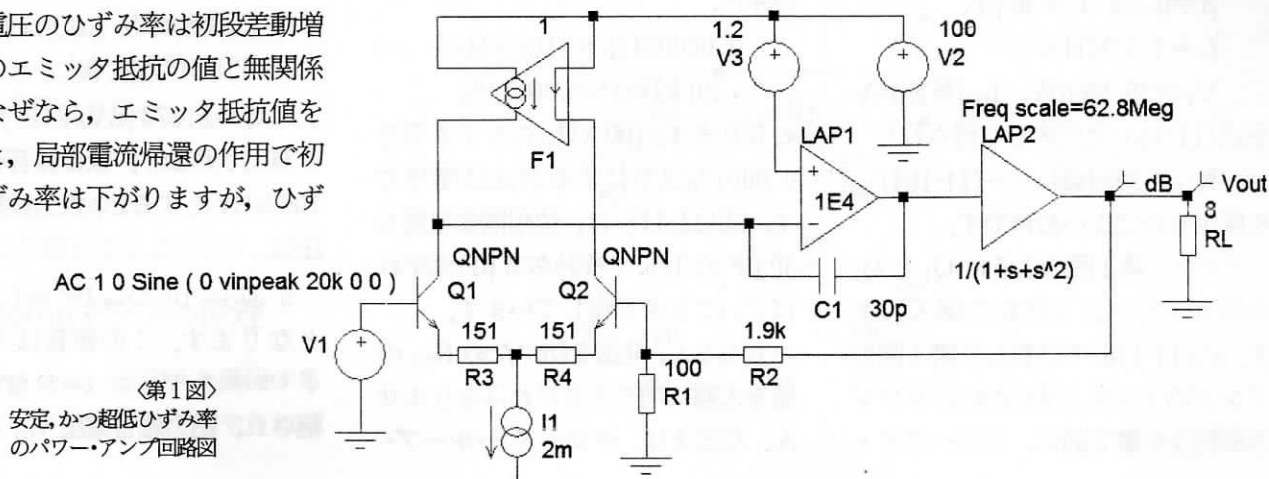
となります。

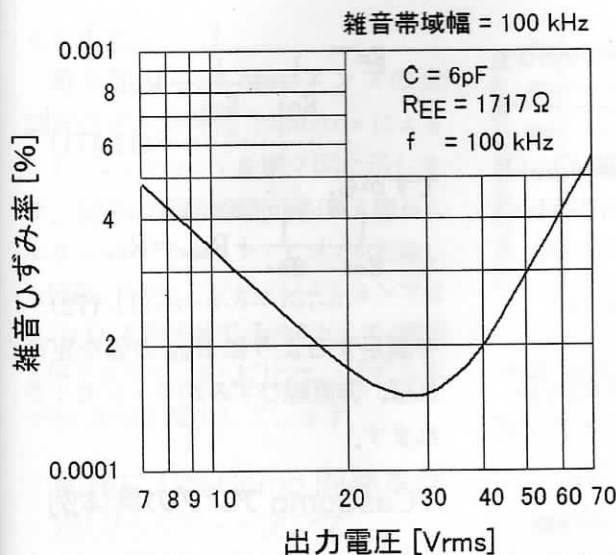
ここで、能動負荷差動増幅回路の g_m は、次式で与えられます。

$$g_m = \frac{2}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}} + R_{EE}}$$

..... (11-160)

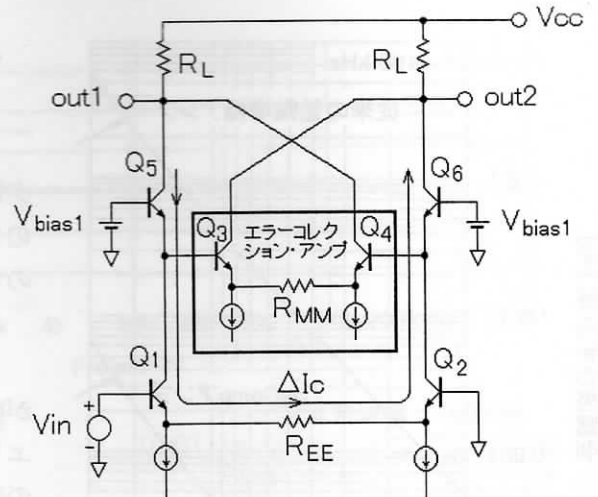
(g_{m1} : Q_1 の伝達コンダクタンス)
(g_{m2} : Q_2 の伝達コンダクタンス)
(R_{EE} : Q_1 のエミッタ~ Q_2 のエミッタ間抵抗)





◀第4図▶
 $C = 6\text{pF}$, $R_{EE} = 1717\Omega$ としたときの雑音ひずみ率特性

▶第5図▶
 CasComp アンプの基本構成



CasComp アンプの原理を説明しましょう。

[A] 第5図の2組の差動増幅回路のうち、下側の差動増幅回路は信号を増幅し、上側の差動増幅回路(エラー・コレクション・アンプ)でひずみを打ち消します。

Q_1 のベース～ Q_2 のベース間の電圧変化分に対し、キルヒホッフの電圧則を適用すると、

$$V_{in} = \Delta V_{BE1} + R_{EE} \Delta I_C - \Delta V_{BE2} \quad \dots\dots (11-168)$$

が得られます。この式をコレクタ電流の変化分 ΔI_C について解くと、

$$\Delta I_C = \frac{V_{in}}{R_{EE}} - \left[\frac{\Delta V_{BE1} - \Delta V_{BE2}}{R_{EE}} \right]$$

す。すなわち、

$$v_{no} = 1.7 \mu V_{rms} \times 20 = 34 \mu V_{rms}$$

したがって、雑音ひずみ率 (N + THD) は次式で与えられます。

N + THD

$$= \sqrt{D^2 + (v_{no}/V_{orms})^2} \times 100 [\%] \quad \dots\dots (11-166)$$

(D: 第3調波ひずみ率)

(V_{orms} : 出力電圧 (実効値))

(v_{no} : 出力雑音電圧 = $34 \mu V_{rms}$)

なお、既出の式(11-118)右辺の出力電圧 V_{op} は片ピーク値ですが、 $V_{OP} = \sqrt{2} \times V_{orms}$ ですから、これを式(11-118)に代入すると、

$$D = \frac{V_T}{3\beta} \left(\frac{2\pi f C}{I_{tail}} \right)^3 \times (V_{orms})^2 \quad \dots\dots (11-167)$$

となります。

$$f = 100\text{kHz}, C = 6\text{pF},$$

$$v_{no} = 34 \mu V_{rms}$$

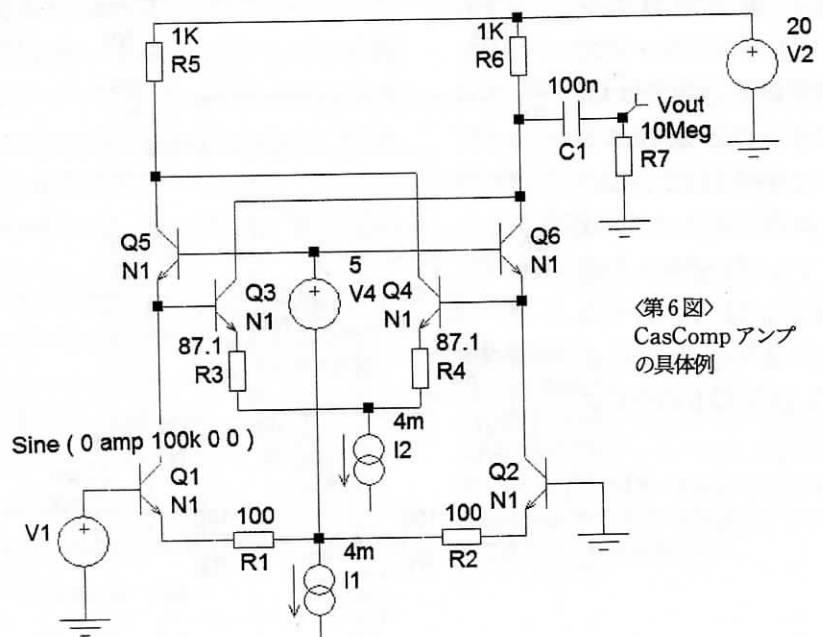
を式(11-166)と(11-167)に代入して算出した雑音ひずみ率特性を第4図に示します。第2図に示すように、20 kHzの高調波ひずみ成分は出力電圧 30 V_{rms} まで 0.0001% 以下ですが、雑音を含めると、このように 0.0001% を超えてしまいます。

CasComp アンプの原理

上記のように、安定性を確保するにはエミッタ抵抗の値を増やさねば

なりません、そうすると雑音が増えてしまうトレードオフが生じます。この矛盾は CasComp アンプ (Cascode and Compensation Amplifier) によって解決できます。これは、差動増幅回路の非直線ひずみをカスコード回路とフィードフォワード技法によってキャンセルするものです。P. A. Quinn 氏が考案し、1979年に米国特許が成立しています⁽¹⁾。

CasComp アンプの基本回路を第5図に示します。 $Q_1 \cdot Q_2$ は差動増幅回路で、 Q_5 と Q_6 がカスコード接続されて、 $Q_3 \cdot Q_4$ はエラー・コレクション・アンプとして働きます。



◀第6図▶
 CasComp アンプの具体例

とします。

第6図のCasCompアンプの全調波ひずみ率特性 (SIMetrixによるシミュレーション) を第7図に示します。従来の差動増幅回路(第6図からエラー・コレクション・アンプを削除した回路。ただし、シミュレーションでは Q_3 と Q_4 を除去せず、 $I_2=0$ として、機能を停止させている)に比べ、ひずみ率が約40 dB減少しています。

初段にCasComp回路を採用したパワー・アンプ

第1図の初段をCasCompアンプに置き換えたパワー・アンプを第8図に示します。第1図のアンプより初段の g_m が高いため、位相補償容量を40 pFに増やしています。

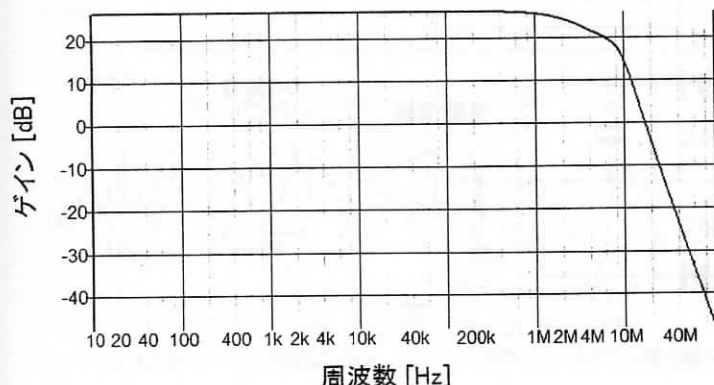
SIMetrixでシミュレーションした $f=100$ kHzの全調波ひずみ率を第9図に示します。位相補償容量が大きいかかわらず、超低ひずみ率です。

SIMetrixの雑音解析で求めた出力雑音電圧密度(単位帯域幅あたりの出力雑音電圧)対周波数特性を第10図に示します。

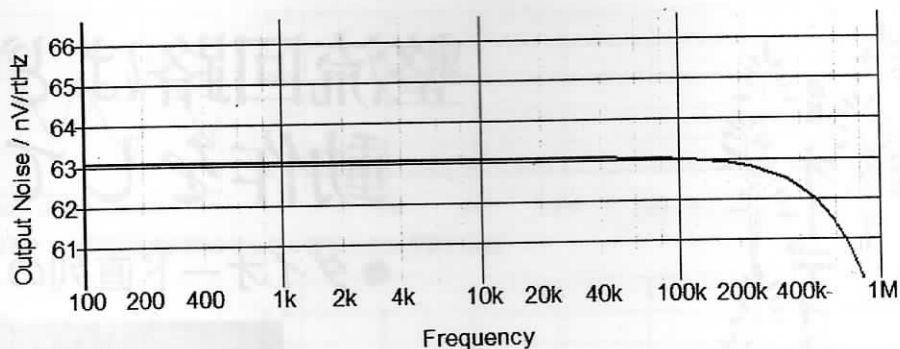
雑音電圧密度は100 Hz~100 kHzにおいてほぼ平坦で、出力雑音電圧密度 $=63 \text{ nV}/\sqrt{\text{Hz}}$ と読み取れます。仮に雑音帯域幅が100 kHzならば、出力雑音電圧 v_{no} は、

$$\begin{aligned} v_{no} &= 63 \times 10^{-9} \times \sqrt{10^5} \\ &= 19.9 \mu\text{V}_{\text{rms}} \end{aligned}$$

となります。この雑音電圧を加味し

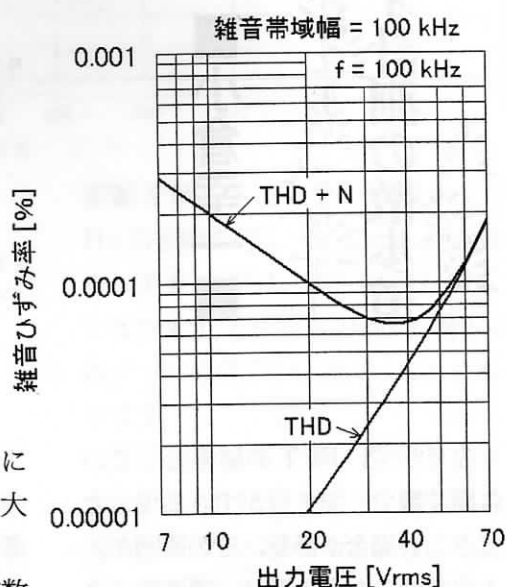


〈第11図〉
第8図のアンプの周波数特性



〈第10図〉
第8図のアンプの出力雑音電圧密度

〈第9図〉
第8図のアンプの雑音ひずみ率特性



たTHD+N特性を既出第9図に示します。第4図の特性に比べ、大幅な改善が見られます。

第8図のパワー・アンプの周波数特性 (SIMetrixによるシミュレーション) を第11図に示します。安定性に問題はありません。

このCasCompアンプの回路図ファイルは公開されています。私がCasCompアンプの存在を知ったのは、電子回路シミュレータSIMetrix/SIMPLIS Introのサンプル回路の中に、このアンプの回路図ファイル (...¥examples¥Cascomp¥cascomp.sxsch) があったからです。

cascomp. sxschは、第5図の

R_{MM} の値を変化させたとき、微分利得の平坦性が変化する様子をシミュレーションします⁽²⁾。このファイルにはそのデバイス・モデルが埋め込まれているので、F9キーを押せばすぐにグラフが表示されます。

また、F11キーを押せば、デバイス・モデルの内容を見ることができます。このデバイス・モデルは、Hans Camenzind氏の著作「Designing Analog Chips⁽³⁾」で公開されています。氏はタイマーICの555を設計された著名なエンジニアです。

◆参考文献

- (1) 米国特許 No. 4, 146, 844
- (2) 電子回路シミュレータ SIMetrix/SIMPLIS スペシャルパック, CQ出版株式会社。
- (3) <http://www.designinganalog-chips.com/>から著作を無償でダウンロードできます (無断転載不可)。